

应对IP集成与软件开发挑战，加快半导体上市时间

February 2015

作者：

Johannes Stahl博士
新思科技公司原型产品推广总监

半导体公司目前正面对两大基本现实：优化半导体项目的成本以及为了满足客户需求而提供全面性解决方案。客户的需求使得半导体开发商将注意力不仅集中在硅元素，而且还关注软件。

让我们首先来看一下半导体项目的成本。市场研究表明主流半导体项目（衍生物）的下列费用趋势。

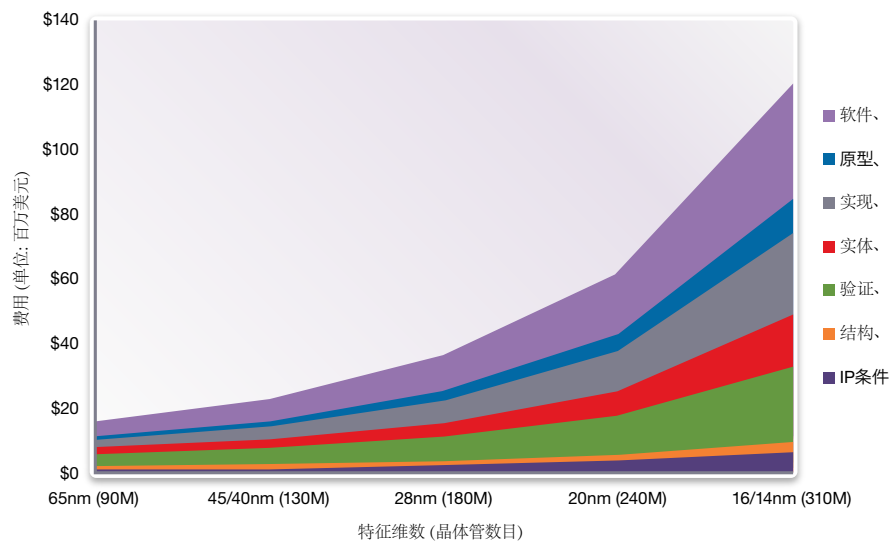


图1: 主流半导体项目成本 (按照硅节点计算) (IBS 2012年第4季度)¹

上述图1 (最新可用图) 显示了主流设计的成本。虽然这些类型的设计已经出现了明显的成本增加的趋势，但是这些成本仍然远低于那些在新工艺节点 (需要更高的投资) 的全新结构的成本。比如，14nm工艺节点的初始项目成本大约为3亿美元¹。

由于这些高额的项目成本，客户向半导体行业提出了具有挑战性的要求。比如，不断变化的市场，要求更优、更高效的用户体验、更小的设备、更低的成本、更低的功耗，这些都增加了芯片的复杂性以及工艺节点需求。半导体企业必须提供全面的SOC及软件栈平台，以便使终端客户优先选择在该平台实现自己的应用、提供必要的外部界面、优化能耗。这些都已在规划中，并一一实现。在芯片层面，这些要求促进了带有多时钟和多电压的复杂结构，这种结构将所有部件整合到SOC及相关软件栈中，并且这些要求继续增加 (图2)。

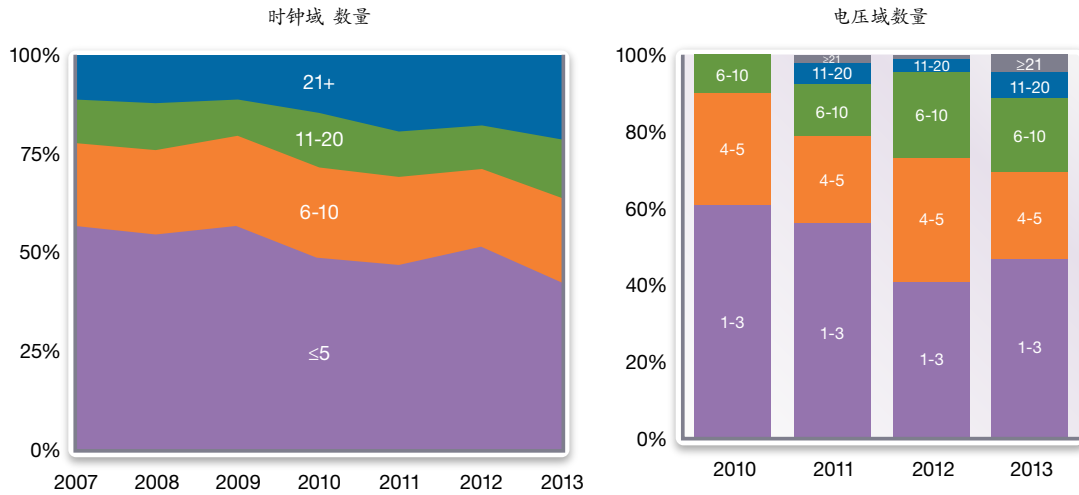


图2：每个SOC中时钟域及电压域的数量²

本白皮书讨论了SOC设计人员在解决SOC复杂性问题以及关于上市时间的挑战时面临的问题。本白皮书也将讨论第三方IP的使用，并说明考虑到当今SOC的复杂性，仅仅依靠高质量IP不足以加快上市时间。本白皮书还将讨论关于用于IP的驱动程序软件开发的问题。最后，本白皮书将回顾在SOC设计过程中的五个主要开发步骤以及第三方IP供应商如何帮助加快这些步骤。

使用第三方IP提供者获得高质量IP

为了降低项目成本和风险，半导体设计机构需要获得第三方硅知识产权用于他们的SOC项目，特别是一个SOC所需的处理器、音频子系统、传感器子系统、标准外部接口。

标准接口子系统包括一个连接片上通讯基础设施（一般为在端口上使用标准总线协议的多级互连装置）的控制器、通过预定协议及电气规范与外部接口连接的PHY模块。这两种模块都必须符合标准协议，如USB-IF规范或PCI Express标准等公共标准。许多项目都已经证明使用高质量第三方IP可以为半导体企业降低成本和风险。理想情况下，控制器与PHY将由一个供应商提供，可以降低SOC设计人员的整合难度。理论上，由于每个项目都是基于相同标准，整合应该十分简单。但是，整合面临着三个挑战：标准或协议知识、符合性能要求、将IP整合到整个SOC中。

标准或协议知识

首先，SOC设计人员必须解决一个日益困难的任務：理解IP协议或标准。由于半导体企业通过购买IP降低设计成本，这些企业将他们的IP设计人员重新调配至其他设计岗位。多数现代化接口IP标准每几年都会进行重大修改，并且每年都会发出工程变更通知（ECNs）。这些变动可能会使企业内部IP设计人员的知识很快落后，除非他们可以集中精力关注特定的IP和协议。在最优情况下，一个项目团队仍然配备至少一名可以理解特定标准的工程师，但是对于复杂的接口IP部件（比如PCI Express）中的1000多个参数，大体了解相关标准或IP模块是不够的。在最坏情况下，项目中没有任何人具有特定接口IP标准背景，这使得SOC充分整合成为漫长、风险重重的过程，比如，PCIe3.0标准超过850页。进行IP配置，并为该配置开发高性能的设备驱动程序绝对不是轻松的任务，特别是当使用IO可视化等最新硬件功能的情况出现。除了从IP供应商获得接口IP许可而支付的费用以外，半导体企业通常还需要额外支付整合和软件开发的费用。

加速RTL修订

第二个挑战是：对于IP的配置，在SOC中的接口性能是否能满足芯片功能的需求以及终端客户的要求。在理想情况下，SOC设计团队有权通过设置IP的参数来使用第三方IP。设计人员必须处理大量配置参数才可以创建满足SOC要求的RTL。除了用于RTL的配置参数，软件开发者还必须通过驱动程序软件控制许多不同的功能。

总之，硬件和软件设置及功能决定了IP的贯穿性、潜在性、功率分布。设计人员可以寻求IP提供者关于SOC理想配置的建议，也可以确定不同的配置参数以实现所需功率-性能平衡。

高效的配置探索需要尝试一种IP配置对比不同IP配置的快速转回时间。加快转回时间首先意味着有能力为不同配置快速生成RTL。如果该步骤涉及与已经产生新版本的IP提供商的互动，那么会出现两个常见问题：第一，进度问题：转回时间至少需要多个工作日；第二，商业问题：修订RTL配置的请求的数量将受到IP许可协议的限制，原因在于IP提供者需要减少他们的设计影响。但是，如果半导体工程师可以使用配置工具修改IP，那么，转回时间就不再依赖于第三方IP提供者。

将IP整合到半导体

第三个挑战是将IP子系统整合到SOC结构当中。控制电源域、时钟、复位的远端信号必须正确地适用于IP子系统并且与半导体其他部分相匹配。创建初始子系统后，还需准确、高效地进行仿真和原型建立。

由于PHY不会产生预期的功能和性能，理解时钟的时序要求以及PHY的复位十分重要。当实现正确的时序要求时，将显示“眼图张开”。在经典的工作分工中，SOC设计团队将负责IP子系统，然后尝试理解这些IP如何发挥作用以及需要IP提供者提供详细信息的时序要求以及测试要求。这种分析十分耗时，并且仅适用于整合IP。

将控制器与PHY整合到SOC中通常分为两步：仿真和原型设计。但是，并不是所有设计人员都会选择进行仿真，这主要由于无法获得PHY的模型、或者缺少RTL模拟经验，直接进入原型设计步骤。

对IP原型进行设计也存在一些挑战：(a) 调试PHY板；(b) 接入FPGA板；(c) PHY与FPGA板之间进行控制器设置和信号时序控制。每个问题都可以将项目延迟数周。如果PHY与控制器IP来源不同，这些困难将更为明显。IP整合团队、原型设计团队、IP提供者之间的多次迭代十分常见，并且可能耗时数月。即使IP整合团队了解PHY的时序要求，原型设计团队可能需要数周才可以结束时序收敛并进行正确设计（以便确保速度最优并且PHY具有最佳信号完整性）。在长期实验过程中，开发板可能发生故障、导致额外延迟（由于将PHY板送回供应商进行错误分析和维修），然后，才可以继续进行IP整合。

首个硅与收益之间的软件作用

根据市场细分，半导体企业不得不开发不同层次的软件用于他们的SOC。一方面对于汽车应用中微控制器芯片，半导体企业必须开发相对较小，然而关键的适应层（MCAL）。另一方面，移动处理器需要非常复杂且包含下列各项的软件栈：多层部件、安全和非安全固件、操作系统核心、驱动程序、通信协议栈、安卓等中间件的应用。除了应用处理器上的软件，每个子系统独自运行无线软件栈等大量软件。很明显，软件已经成为每个系统的主要部件，并且成为一个产品的区分要素之一。市场研究公司IBS预测到2020年，20%左右的半导体收入将归因于其承载的软件，这与半导体企业在SOC项目中的投入[40-50%]不是一直成比例的³。许多半导体企业行政人员已经发现了这个问题，并表示“如果我无法推出可以运行的软件，我的客户就不会大批量订购，我也就不会获得收益”。

开源软件可以作为解决软件开发困难的解决方案之一。开源软件一般都是由前沿公司提供的。为新IP开发首个软件栈后，这些公司可能选择将软件捐献给开源社区，比如，将Linux系统的IP驱动程序提交至来自kernel.org的主线内核。制作SOC驱动软件进行的努力可以作为一种公益，因为开源社区可以获得关于操作系统修正的代码。虽然这有助于降低整体难度，但是还有很多定制化的开源软件以及特定SOC软件需要编写和测试。

对IP提供者期望更多

既然我们已经明白了最先进SOC项目的最高挑战，我们最好也应该理解为什么当今的IP用户对IP供应商的期待更多。随着硬件整合与软件开发的挑战继续加剧，IP提供商凭借其协议方面的专业知识以及满足一系列客户需求的广泛经验，有能力开发并提供全面性原型套件、软件开发工具包（SDKs）、完整的IP子系统，这可以缩短或降低IP整合的时间和难度。

第1步：获得首个原型

从第三方IP提供商获得IP时，（相关方）都期望IP可以发挥作用。但是，使IP可以在实际SOC的原型中可以发挥作用仍然存在很多困难，主要包括以下几个方面：

- (a) 获得原型以便探讨性能；
- (b) 确认IP可以用于相应系统；
- (c) 向软件团队交付原型以便进行早期软件开发

在理想场景下，IP供应商可以清除上述三个方面出现的障碍。设计人员可以在IP可以使用后，立即开始探讨性能，并确认IP可以用于相应系统。

IP提供商（如新思科技）能够提供可以完成上述理想场景的IP原型套件。DesignWare®IP原型套件（图3）包括一个在新思科技HAPS-DX原型系统中实现的，预先配置好的DesignWare IP控制器，该控制器通过标准型HAPS Track连接器与相应的DesignWare PHY子卡连接。该IP原型套件配备了参考设计，及SOC整合逻辑及参考软件栈，这可以在标准ARC软件开发平台上运行并且连接至HAPS-DX原型（因此可以执行该参考软件栈（Linux、驱动程序））。另外，还可以通过有效的PCIe接口连接至主机电脑。整个系统进行了预测试，并且经过证明可以在数分钟内完成设置，这可以确保用户可以即时开始使用IP。Linux可以在数秒内启动并运行，USB驱动等外部部件可以插入，以便在实际应用中验证USB3.0子系统的性能。DesignWare IP原型套件可以将设计人员的工作时间从数月缩短到数分钟。



图3 DesignWare IP原型套件

第2步：为了获得最佳性能探究IP配置

探究，意味着寻找不同的RTL配置（修改RTL）和参数设置（使用驱动程序软件对RTL进行编程）。对很多配置的探究，需要有快速修改并为生成RTL设置更新原型的能力。

伴随新思科技DesignWare IP原型套件（图4）产生的快速迭代流程，依赖两个关键性部件：设计团队可以使用 coreConsultant工具将RTL用于所有有效配置中，然后通过该工具生成相应的RTL代码，无需新思科技的支持。这种自动RTL生成能力（一杯咖啡的时间）可以将周转时间从数天缩短至数分钟，而其他IP供应商为客户手动生成RTL需要数天迭代时间。

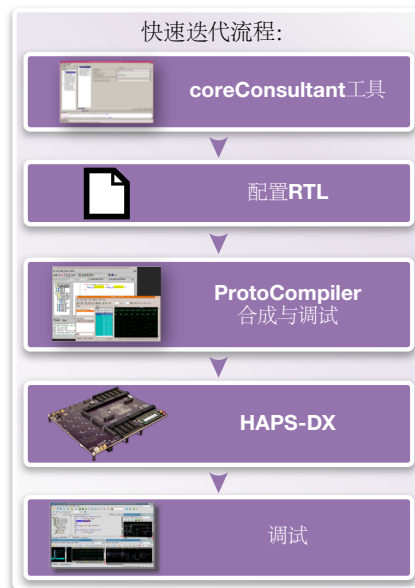


图4：DesignWare IP原型套件的快速迭代流程

RTL被修改后必须载入HAPS®-DX系统。ProtoCompilerDX是行业内最先进的原型工具集，可以将原型实现时间从数周缩短到数天。对于提供参考配置的控制器IP进行典型性修改，原型实现时间甚至可以缩短至数小时。这意味着多次迭代可以为设计团队提供充足机会，尝试不同配置方案（提供的脚本也可以简化该过程）。这大大降低了由于缺少探究时间而导致的IP功能不足或过度设计。在使用IP提供商生成的新RTL进行手动迭代流程与该全自动方法之间，保守估计自动方法的迭代次数是手动方法的10倍以上，这可以确保更优的IP以及更优的SOC性能。

如果IP回复原型并且软件驱动程序（如果必要）进行了修改，更新的原型将立即与PHY共同发挥功能，因为DesignWare IP原型套件的其他接口没有改变并且无需调试。在更加复杂的情况下，设计人员需要修改控制器周围的参考设计，因此需要实际硬件调试。设计人员可以通过HAPS深度追踪能力观察500多个内部信号，足以进行调试。

第3步：开发驱动程序和固件（左移过程）

让我们浏览一下典型性界面IP软件栈（图5）。即使使用已经在Linux®内核进行了“主线化”的驱动时，软件开发者仍然必须对SOC中的特定部分以及驱动进行优化和定制化。虽然IP最终将成为设备驱动开发者的目标，IP驱动程序开

发在软件开发开始前无法启动。固件中内存驱动器开始工作之前，引导程序不会运行，因此也无法进行后续软件开发。另外，各级IP驱动必须进行开发和整合——从引导装载程序与固件驱动，到内核驱动以及中间软件。

在最坏的情况下，目标是已经放置在原型版上的首个芯片，但是在多数情况下，软件组可以通过FPGA原型或虚拟原型进行软件开发。由于IP原型化所耗费的时间，在许多项目中，上述获得过程虽然比硅实现较短，但是在项目周期内仍然处于较晚阶段，这使得芯片下线前软件开发时间缩短。软件开发者的目标是提供一种驱动程序，可以通过最为充分且高效的方法实现操作系统提供的硬件IP，并且符合整个系统的功率和性能要求。

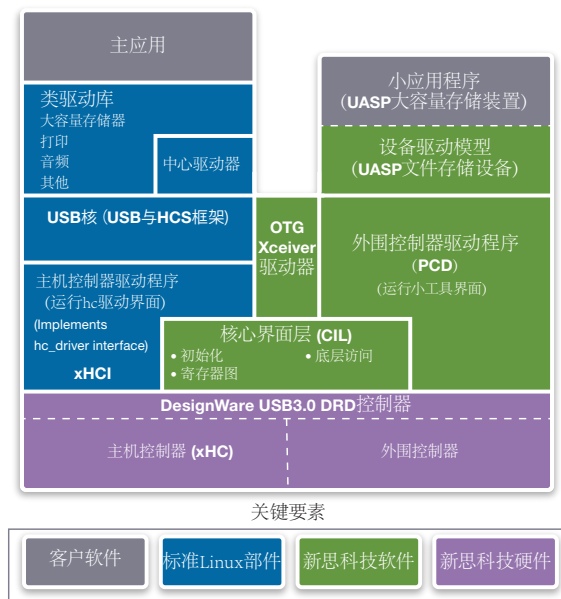


图5: USB驱动器软件栈

软件开发人员应该明白许多参数都会影响接口的性能。即使对IP规范以及SOC设计团队开发的特定配置进行了最为谨慎的研究，也无法保证软件开发人员能够按照支持实际IP模块的方式，对IP进行编程。在最优情况下，这些故障可以在软件开发阶段检测出来。在最坏情况下，这些故障可能在SOC实际使用过程中出现。

软件开发人员还需要一份关于PHY的陈述，以便与其他设备验证互操作性和性能。关于高级工艺节点日益严重的问题，是半导体公司用于构建控制器与PHY完整原型的独立PHY芯片越来越少。设计人员必须依赖他们的IP供应商为软件团队提供充足的PHY卡。在很多情况下，IP提供商只根据特定客户的要求通过特定方式，提供用于新PHY IP验证实现与特性的PHY卡。获得PHY（作为IP原型套件中标准部件）是一个获得完整原型解决方案的可靠方法。

为了简化流程，虽然硬件团队改进了配置设定，软件团队可以使用DesignWare IP原型套件或者DesignWare IP虚拟开发工具包（VDK）查看软件栈（图6）。软件开发人员可以使用这两种工具通过使用相关参考软件开发、调试、优化IP驱动软件。

DesignWare IP原型套件不仅可以处理驱动软件的功能行为，还可以与连接到PHY子卡的外部设备共同验证软件性能。由于硬件团队可以为HAPS-DX系统（IP原型FPGA系统）提供烧录文件，尽早确定目标有很多益处，如果新的硬件就绪，软件团队可以再次尝试新的硬件配置。即使团队位于远程，这种互动方法仍然可行。由于DesignWare IP原型套件价格可以接受，并且可以做到开箱即可使用，可以轻松适用于SOC与软件开发团队。DesignWare IP原型套件首次组装后，软件开发人员可以在他们的主机上使用最优开发环境，或者在ARC®软件开发平台上编辑软件。将新烧录文件下载到HAPS-DX板上后，这个过程十分迅速，并且每天可以进行数百个软件的调试。

DesignWare IP虚拟开发工具包（VDK）提供了一种模拟模型（虚拟原型），可以使用ARMv8 Cortex® big.LITTLE处理系统（四核Cortex-A57及四核Cortex-A53处理器）呈现ARM®v8基本参考模板。DesignWare 控制器IP模型将与参考模板进行整合。每个模型都可以根据软件开发人员相关的设置进行配置。经过配置步骤后，软件开发人员可以使用他们喜欢的软件调试器。除了标准调试器功能，VDK还可以详细查看软件或硬件的活动。软件团队还可以将完成的软件栈发送给硬件团队，以便其进行下一次性能迭代。这种并行的硬件设计和软件开发过程通常还被称为“左移”。以IP为中心的SDK可以使设计人员，将软件开发任务分解为一系列独立、相互隔离的任务，这就不需要进行大规模的组织变动或大规模投资。唯一的投资就是添加Synopsys IP SDK，软件团队无需进行其他投资或者学习。

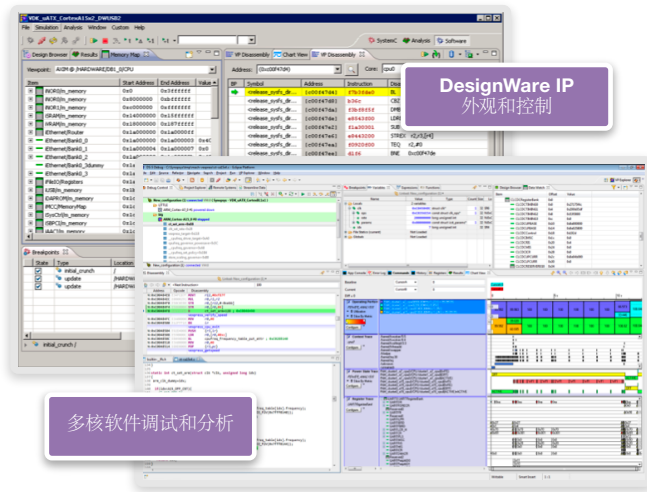


图6：DesignWare IP VDK配置、调试、分析视图

第4步：将IP整合到SOC中

从宏观角度来看SOC设计问题，半导体企业硬件方面的问题主要包括：设计自有的差异化IP模块、获得高质量第三方IP、按照SOC优化法进行配置、将所有模块整合到时钟、电压供应商的SOC基础模块中、芯片缓冲存储器或寄存器、测试电路。SOC设计团队将确定半导体特定实施细节并制定关于如何整合IP的要求。IP具有泛型接口，如果不是在SOC基础设施中加入额外粘合逻辑无法匹配。对于许多IP供应商而言，这项工作是由SOC设计团队负责的繁琐任务。

对IP供应商期待更多（帮助）有利于设计人员解决这些问题。首先，DesignWare IP原型套件提供了完整的参考设计。根据该设计，半导体可以执行相应的粘合逻辑。他们甚至可以复制（相关方）提供的RTL源代码并以此作为起点作出更多工作。

对于小型SOC设计组织而言，这是一种使用IP提供者的知识、通过支持工程师或IP开发者获得相关见解的高效方法。

对于项目复杂且截止时间较紧的大型组织而言，IP原型套件还不够。他们需要更多的支持，并且需要大幅度降低内部费用：他们需要定制化的接口子系统。接口子系统使得设计人员可以充分利用IP提供者关于协议与标准的知识和见解，将这些知识和见解与他们自己的半导体知识和执行问题相结合，并提供综合性解决方案。IP可交付成果与半导体需求的整合应该通过节省成本、半定制方法完成。由于这个过程可以用于多个客户，每个客户可以享用来自其他项目的IP提供商经验，将IP重复利用范式用于子系统。IP提供者在上述整合中需要提供的要求包括：控制器与PHY的整合、多协议与常见PHY的整合、子系统（包括软件栈）的完成。（例子：感应器子系统）

第5步：将驱动和固件整合到SOC软件栈中

最后，还需要进行软件开发工作。即使对于驱动而言，多数工作可以通过DesignWare IP原型套件或者IP虚拟开发工具包进行分解和辅助，软件开发团队的终极目标是完成整个软件栈。软件团队一般都从在上一个硅片上运行的可用软件栈开始，并且尝试使用先前的基板进行一些开发。但是由于半导体的重大变化，他们无法走的很远，因此，如果他们希望撼动整个设计圈，他们需要一个涉及SOC所有相关部件的硅实现前目标。

这项工作所需的投资和努力远远大于简单的IP SDK，但是对于软件开发团队是一个好消息的是：新思科技的IP SDKs实际上是一个可以获得整个SOC目标的缩小版。小型团队将会欣喜的发现DesignWare IP原型套件可以作为垫脚石，帮助他们获得更多的SOC部件。4M的容量对于低于500K的控制器尺寸可以充分满足需要，为相同的原型系统添加更多部件所需的空间也预留充足。



图7：使用HAPS-70扩展DesignWare IP原型套件

随着规模不断扩大，原型团队可以首先使用HAPS-70原型系统并与像卫星系统一样扩展连接DesignWare IP原型套件，这样可以保留已经完成且已验证的部分、可以快速切换到SOC其他未验证部分进行工作（图7）。

对于使用虚拟原型方法的团队而言，DesignWare IP VDK内的模型是Virtualizer™虚拟原型工具中可用模型的完整打包版。这类团队可以使用Virtualizer™中相同的参考模型和配置，与事务级模型（TLM）库（涵盖最常用的商业IP）中的其他特定SOC模型一起进行扩展，并使用Virtualizer事务级模型（TLM）创建工具为独特的内部IP创建模型。

IP Accelerated (IP加速)

IP Accelerated (IP加速) 是新思科技（作为接口IP的头号提供商）为了推进IP供应商范例启动的多年计划。新思科技IP Accelerated (IP加速) 计划（图8）促进了新思科技已经建立的广泛的、经过验证的DesignWare IP组合，该组合包括新型DesignWare IP原型套件、DesignWare IP虚拟开发工具包、IP子系统，这可以加快确定原型、软件开发，并加快将IP整合到SOC体中。

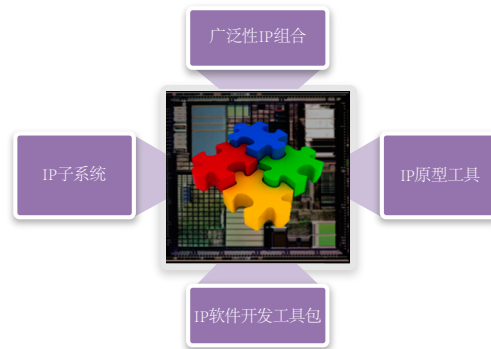


图8：新思科技IP Accelerated (IP加速) 计划

对于硬件工程师而言，IP原型套件可以提供经过验证的IP配置，并且该配置可以轻松修改以便为目标性应用进行优化设计。软件开发者可以使用IP虚拟开发工具包或者IP原型套件用于软件的前期开发、调试、测试。

概述与展望

半导体行业正在根据市场需求的变化进行一次自然进化。虽然客户向半导体行业提出了很多新的要求，IP提供者不得不满足这些不断增加的要求。IP Accelerated (IP加速) 计划有利于应对这些挑战。我们需要尽量在满足IP用户最大程度上的自我发展与向关注核心竞争力的组织提供专门定制化服务的行为之间寻求平衡。

参考

[1]系统IC业务成功的要素以及对商业模式产生的影响，IBS2012年第4季度报告

[2]2013年新思科技全球用户调查

[3]全球系统IC行业服务报告——将半导体行业内的软件货币化的方法，IBS第23卷第4号，2014年4月