

采用STAR Hierarchical System测量单元实现芯片时钟和进程监控

2018年3月

作者: **Karen Darbinyan**,
ASIC数字设计经理,
Synopsys

序言

功能安全是汽车、航空和工业领域使用的芯片系统 (SoC) 最关键的优先考虑方面。这些要求受到ISO 26262等标准的推动, 并且是汽车用IC设计与测试的骨架。举例来说, 高级辅助驾驶系统 (ADAS) IC的要求包括监控芯片的运行健康状况, 通过更快的决策能力而预测未来的风险。随着时间的推移, IC关键参数的性能由于多种运行和环境条件而逐渐下降。这种性能下降可能导致芯片内部的门延迟和互连延迟增加。Synopsys STAR Hierarchical System的测量单元有助于保证这些应用类型的芯片时钟频率和占空比精确度。STAR Hierarchical System的测量单元拥有时钟和进程监控能力, 可追踪嵌入式传感器和监视器, 而且可以记录并确认测量结果满足那些注重性能的技术节点的晶元标准, 包括16纳米和7纳米工艺。

STAR Hierarchical System测量单元架构

Synopsys DesignWare® STAR Hierarchical System是一种自动化分层测试解决方案, 用于高效测试采用多个IP/内核的SoC或设计, 包括模拟/混合信号IP、数字逻辑内核和接口IP。它通过自动创建一种分层IEEE 1500/1687网络, 可接入并控制SoC级的所有IP/内核, 从而显著缩短测试集成时间, 并且提高了测试结果质量 (QoR), 包括通过对IP和内核进行灵活的测试调度而优化测试时间和功耗。STAR Hierarchical System融合了进程和时钟监控特性, 这是测量单元的组成部分。

测量单元是一种轻量级数字IP内核, 可轻松集成到SoC中, 以提供准确且高性价比的芯片测量。该IP可有效地用于“软监控”技术中。它也可供IC设计人员和代工厂使用, 对高级进程节点中晶元上的芯片参数进行测量。测量单元中采用Synopsys的专利型脉冲延迟测量方法, 为高速时钟提供了锁相回路 (PLL) 表征功能和内建自测试 (BIST)。该IP还集成了进程监控功能。除了正在进行测试的PLL和已有的低频测试时钟外, 您不需要额外的分频或高速时钟。

测量单元的编程由Synopsys的Yield Accelerator (YA) 和Silicon Browser工具提供支持, 用于配置测量模式, 并通过JTAG端口监控测试结果。

YA允许在自动测试设备 (ATE) 上实现向量生成, 并且在出现晶元问题时帮助进行调试和诊断。STAR Hierarchical System的Silicon Browser GUI可实现早期原型设计初启流程, 并且允许芯片中的STAR Hierarchical System采用JTAG接口与PC或笔记本电脑交互和通信。

测量单元的接口和接入机制基于IEEE 1500接口, 可采用星型或者菊链环配置与DesignWare STAR Hierarchical System连接。测量单元的晶元参数可切换到不同的测量模式。

测量模式简介

测量单元支持的不同模式如图1所示。

	测量模式	目标
1	PLL时钟频率测量	时钟频率关联、随机抖动评估
2	PLL占空比测量和时钟检测	时钟完整性, 检查PLL锁粘性
3	测量嵌入式存储器	Memory Clock to Q (输出)、数据和地址设置, 并且保持与数据表的关联
4	环形振荡器频率测量 (进程监控)	动态电压降分析, 监控晶片间的工艺变化

图1: 测量单元模式规格

PLL时钟频率测量模式

PLL时钟频率测量模式用于测量芯片时钟频率, 而已知低频参考时钟用作测量单位的输入数据。模式寄存器经过配置, 可调用测量单元的频率测量模式。见图2。

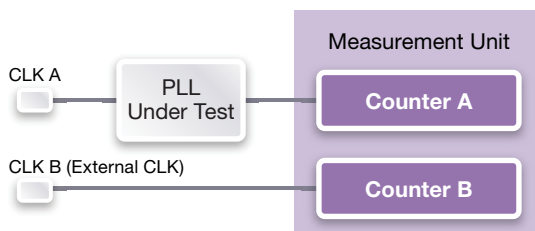


图2: 芯片PLL时钟频率测量模式配置

在ATE模式排序期间, 计数器A和计数器B同时启动和停止。借助已知频率, 计数器A计算PLL中的时钟循环次数, 而计数器B计算外部时钟发生器中的循环次数。在测试结束时, 两个计数器的数值通过JTAG而移出, 之后, PLL的频率通过以下公式计算出来:

$$F_{pll} = (\text{计数器A} * F_{CLKB}) / \text{计数器B}$$

举例:
 外部时钟频率CLK= 40 MHz
 计数器A= 340,136
 计数器B= 20,001
 $F_{pll} = 680.2 \text{ MHz}$

ATE测试模式由YA的向量生成功能创建。然后, 测试器日志文件由调试器处理, 而且该调试器根据计算得出的计数器值报告频率数字。芯片PLL时钟频率测量模式是测量单元唯一需要具有已知频率的参考时钟的模式。

PLL时钟占空比测量模式

顾名思义, PLL时钟占空比测量模式用于确定具有高准确率的定期信号的占空比。见图3。

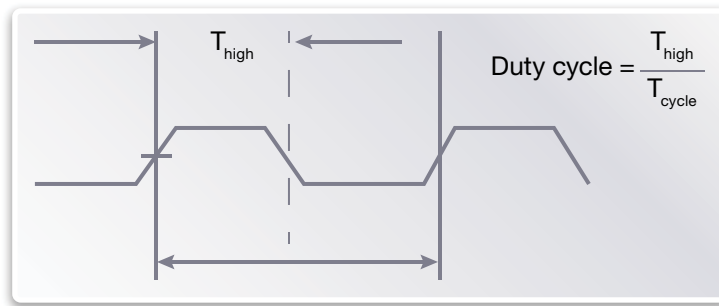


图3: 时钟占空比测量

理想情况下, 时钟 $T_{high} = T_{low}$, 即占空比 = 50%。在大多数情况下, 在检查占空比质量时定义系统时钟非常重要, 因为系统时钟会影响标准芯片上的标准单元和其他IP的运行特征。

Synopsys的占空比测量方法允许设计人员使用测量单元进行调制或抽样, 而不需要其他分数或高速参考信号。一旦PLL的运行频率已知, 就不需要利用参考时钟进行占空比测量。

测量单元对时钟信号正脉冲的测量精确到微微秒 (~ +/- 4ps), 而且在进行追踪后, 其数字表示结果将存储在计数器A和B中。 T_{pos} 宽度通过下列公式计算 (此公式可在YA中使用) :

$$T_{pos} = (\text{计数器A} * T_{PLL}) / \text{计数器B}$$

举例:

计数器A= 9,998

计数器B= 20,001

$T_{PLL} = 1470$ ps

通过以上公式得出:

$T_{pos} = 734.8$ ps

占空比 = 49.9%

嵌入式存储器测量

嵌入式存储器的性能或接入时间是指在存储器读取操作期间从存储器时钟到输出数据的延迟。接入时间是所有嵌入式存储器应用的关键时间测量指标。设计人员面临的一个挑战是如何采用几GHz的嵌入式SRAM时钟精确地描述晶元上的存取时间。Synopsys在测量单元中实施的专利型方法允许设计人员进行精确 (~ +/- 10ps) 测量。

嵌入式SRAM存储器一般采用自动调时方法, 而且数据接入时间 T_{cq} 参数基于存储器内部时钟和延迟。通过对存储器延迟进行测量, 存储器性能 T_{cq} 参数被设定, 这样就不需要以最高频率运行系统即可获得接入时间值。

测量单元的精确测量技术允许设计人员更改存储器应用的读取裕量参数, 这样可以使存储器更快或更慢运行。通过使用测量单元对 T_{cq} 值进行测量, 设计人员可以清楚地观察不同读取裕量值之间的波动, 而且也可以查看晶元上的读取裕量电路。

在存储器延迟测量模式中配置好测量单元后, 如图4所示, 存储器Q[n] 输出与测量单元MEM_Q输入端口连接。除系统时钟外, 其他测量单元模块不需要任何额外的连接。

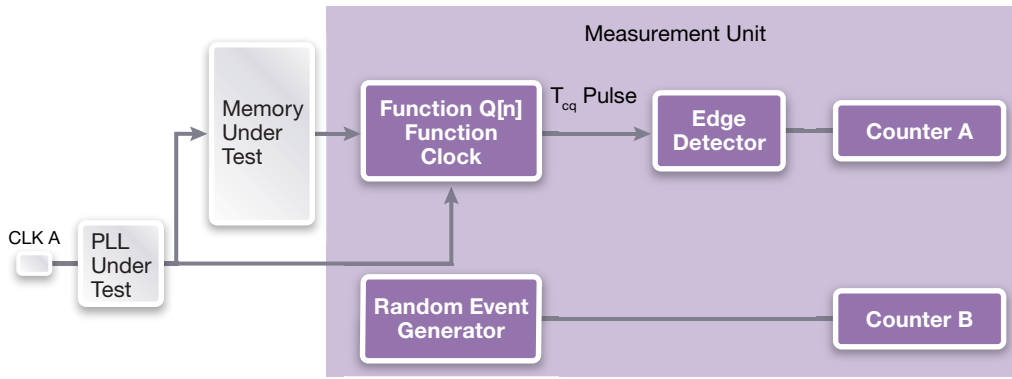


图4: 存储器读取延迟测量模式中配置的测量单元

采用大量芯片SRAM存储器的应用的设计人员需要评估设置值，即存储器输入端口延迟。设置值是工艺验证工具 (PQV) 的重要测量参数。测量单元可以采用预定义的数据和地址输入数据，对嵌入式存储器的设置参数进行测量。这种方法采用数字延迟线和逻辑，在向存储器写入时，根据存储器时钟而调整数据信号和地址信号。测试结果记录在寄存器中，而该寄存器负责衡量测试的写入操作过程是否成功完成。在调用存储器写入操作之前，延迟线经过准确测量，以评估当前状态下的偏差步级延迟。

一旦开始设置，测量单元将采用后台数据自动执行与存储器预加载相关的操作顺序，然后进行校准。在测量周期完成后，用户可以分析延迟线的频率值，以及寄存器针对每个偏差值的存储器输出数据。

图5显示了采用存储器中的数据输入对保留时间进行测量的例子：

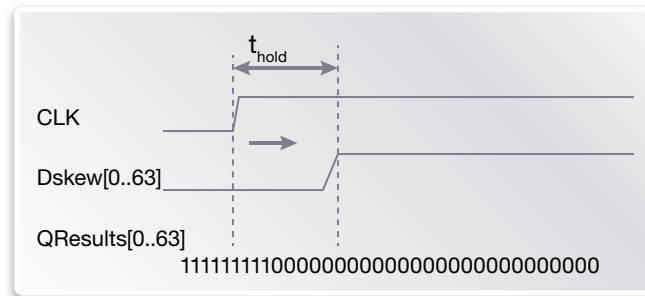


图5: 保留测量时间示意图

测量单元开始数据保留测试（时钟和数据间没有偏差），而且它还在这个过程的每一步之后增加了一个小延迟。写入存储器中的测试后台数据对测量单元进行编程，以写入“0”并重新读取存储器内容，然后将输出数据记录到结果寄存器中，如图5所示。通过知道每个偏差步级的实际延迟值，用户可以轻松地计算保留时间等于 T_d 的九倍。

举例：
如果 T_d 是20ps，则存储器D数据输入 $T_{hold} = 180ps$

环形振荡器频率测量（进程监控）

测量单元可以集成由ATE测试模式控制并激活的环形振荡器 (ROS) 电路。环形振荡器（如图6所示）用于测量电压、温度和制造工艺等多方面的影响，因为这些属性反映在运行频率中。

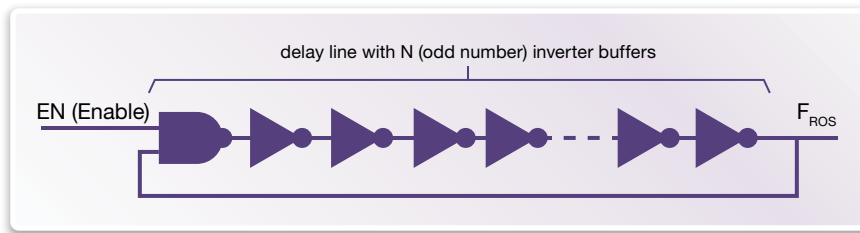


图6: 环形振荡器

环形振荡器的频率采用 $F_{ROS} = 1/2NT_d$ 公式计算, 其中 T_d 是每个反相缓冲器设备的延迟。测量单元 (如图7所示) 可通过 YA 测试模式与环形振荡器集成。

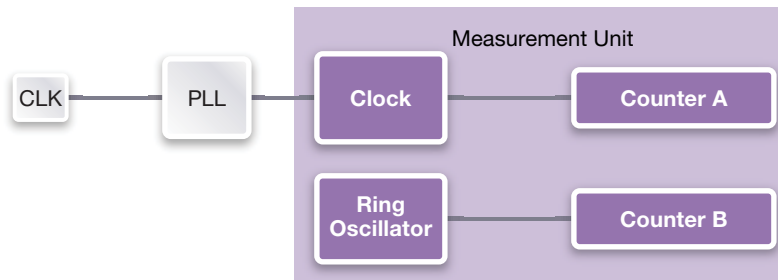


图7: 环形振荡器模式中的测量单元配置

通过使用系统时钟的参考频率, 环形振荡器频率可以在 IC 测试活动的任何时间或者在 IC 处于待机状态下进行精确测量。这种设计不需要采用外部时钟。根据已知的系统时钟频率, ROS 的频率通过 ROS 频率公式计算:

$$F_{ROS} = (\text{计数器B} * F_{PLL}) / \text{计数器A}$$

通过将多个测量单元模块集成到芯片中, 用户可以轻松地监控晶元上分布的 ROS 的频率。此外, YA 可以记录 ROS 对芯片不同地理位置的单元延迟的测量结果, 这可以显示出晶片的实际工艺角和工艺变化。

测量单元还在芯片存储器测试期间评估电压降。在芯片待机状态下, ROS 频率由测量单元模块进行测量。在激活测试后, ROS 频率值在测试活动过程中测量, 这样将创建一个查询表。由于电压降, ROS 频率将会下降, 而且芯片待机状态下新的更小值可通过参考以前创建的查询表而测量。在芯片待机状态下, 设备电压下降, 直至 ROS 频率与测试期间取得的数值相同。电压的差异将在测量获得的实际电压降值中指出, 单位是毫伏 (mV)。

结束语

STAR Hierarchical System 的测量单元提供了精确而且高性价比的芯片测量, 可实现对 SoC 的“软”监控。测量单元融合了时钟监控和工艺特性, 这些特性对于汽车、航空和工业应用领域至关重要。

这种专利型方法可帮助设计人员对 SoC 的关键时间参数获得高度自信心: 测量高频时钟、占空比、测量存取时间、嵌入式存储器的地址和数据设置/保留时间, 以及执行芯片工艺监控。通过将 [Synopsys DesignWare STAR Hierarchical System](#) 的测量单元整合到您的下次芯片设计中, 您可以加快将产品推向市场, 并且简化芯片后复杂的测量流程。